

#16
a 12-09-03

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tsutomu HATAKEYAMA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE INCLUDING FUNCTION VERIFICATION CAPABILITY

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2001-007676	January 16, 2001

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

A handwritten signature of Marvin J. Spivak is written over a horizontal line.

Marvin J. Spivak
Registration No. 24,913C. Irvin McClelland
Registration Number 21,124

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

S-713

日本国特許庁
JAPAN PATENT OFFICE

2001/04/30 10:56:19 U.S. PRO
01/14/02

別紙添付の書類に記載されている事項は下記の出願書類に記載され
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2001年 1月16日

出願番号

Application Number:

特願2001-007676

出願人

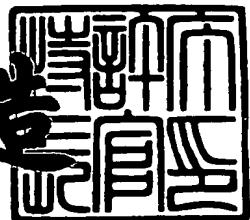
Applicant(s):

株式会社東芝

2001年 9月 5日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3081994

【書類名】 特許願
 【整理番号】 46B007151
 【提出日】 平成13年 1月16日
 【あて先】 特許庁長官殿
 【国際特許分類】 G06F 7/00
 【発明の名称】 半導体装置
 【請求項の数】 4

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
 マイクロエレクトロニクスセンター内

【氏名】 畠山 努

【特許出願人】

【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 被検証ブロックの動作検証時に、内部検証用の命令にしたがって、通常動作時の入力に代えて動作検証時に前記被検証ブロックに供給する入力値と、該入力値を供給するタイミングとなるサイクル値が設定され、設定されてから前記サイクル値が経過後、通常動作時の入力に代えて前記入力値を前記被検証ブロックに供給する内部検証ブロックを具備することを特徴とする半導体装置。

【請求項2】 前記入力値は、該入力値に対応した前記サイクル値とともに連続して複数設定され、設定された複数の入力値は、それぞれ対応したサイクル値が経過する毎に順次前記被検証ブロックに供給されることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記内部検証ブロックは、
前記入力値が設定保持されるレジスタと、
前記サイクル値が設定され、設定されたサイクル値をデクリメントするカウンタと、
前記カウンタの値が“0”であることを検出する検出器と、
前記検出器が“0”を検出すると、通常動作時の入力に代えて前記レジスタに設定された入力値を選択して前記被検証ブロックに供給するマルチプレクサとを有することを特徴とする請求項1記載の半導体装置。

【請求項4】 前記内部検証ブロックは、
前記入力値が連続して複数設定保持される値用レジスタファイルと、
前記複数の入力値にそれぞれ対応したサイクル値が設定保持されるウェイト用レジスタファイルと、
前記値用レジスタファイルならびにウェイト用レジスタファイルに、書き込みアドレス又は読み出しアドレスを供給するアドレスポインタと、
前記ウェイト用レジスタファイルに設定されたサイクル値をデクリメントするカウンタと、

前記カウンタに同期して前記値用レジスタファイルから読み出された入力値を保持するレジスタと、

前記カウンタの値が“0”であることを検出する検出器と、

前記検出器が“0”を検出すると、通常動作時の入力に代えて前記前記レジスタに保持された入力値を選択して前記被検証ブロックに供給するマルチプレクサと

を有することを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、任意の入力を任意のタイミングで供給して機能検証を行う半導体装置に関する。

【0002】

【従来の技術】

従来、プロセッサの開発評価において、プロセッサに対してパイプライン依存の動作検証プログラムを記述する際に、任意のピンやレジスタに対し任意のタイミングで任意の値を書き込みたい場合があった。例えばRTL(Register Transfer Level)上のシミュレーションにおいて、外部割込みの入力に伴う機能を検証するためには、別途シミュレータによる入力の設定が必要であった。

【0003】

一方、プロセッサをIP(Intellectual Property : 機能ブロック)として提供する場合には、外部入力を考慮した動作検証が必須であった。しかし、一般に外部に接続されるIP毎にその仕様に合わせて検証プログラムを用意するのは困難であった。また、実機においてパイプライン依存の検証プログラムを動作させる場合に、従来のスキャンパス方式によるレジスタの設定などは非効率的であった。さらに、外部入力に伴う機能を検証するプログラムに対しては、外部入力を設定するための装置が必要になっていた。

【0004】

【発明が解決しようとする課題】

以上説明したように、プロセッサの外部入力を考慮した従来の動作検証においては、任意の入力を任意のタイミングで与えようすると、シミュレータによる設定や個別の検証プログラムが必要になっていた。また、スキャンバス方式による入力設定は非効率的であり、検証プログラムを使用する場合には、外部入力を設定する装置が必要になっていた。

【0005】

そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、通常動作時の外部又は内部入力に代えて、任意のタイミングで任意の入力を供給して動作検証を行うことができる半導体装置を提供することにある。

【0006】

【課題を解決するための手段】

上記目的を達成するために、課題を解決する第1の手段は、被検証ブロックの動作検証時に、内部検証用の命令にしたがって、通常動作時の入力に代えて動作検証時に前記被検証ブロックに供給する入力値と、該入力値を供給するタイミングとなるサイクル値が設定され、設定されてから前記サイクル値が経過後、通常動作時の入力に代えて前記入力値を前記被検証ブロックに供給する内部検証ブロックを具備することを特徴とする。

【0007】

第2の手段は、前記第1の手段において、前記入力値は、該入力値に対応した前記サイクル値とともに連続して複数設定され、設定された複数の入力値は、それぞれ対応したサイクル値が経過する毎に順次前記被検証ブロックに供給されることを特徴とする。

【0008】

第3の手段は、前記第1の手段において、前記内部検証ブロックは、前記入力値が設定保持されるレジスタと、前記サイクル値が設定され、設定されたサイクル値をデクリメントするカウンタと、前記カウンタの値が“0”であることを検出する検出器と、前記検出器が“0”を検出すると、通常動作時の入力に代えて前記レジスタに設定された入力値を選択して前記被検証ブロックに供給するマルチプレクサとを有することを特徴とする。

【0009】

第4の手段は、前記第1の手段において、前記内部検証ブロックは、前記入力値が連續して複数設定保持される値用レジスタファイルと、前記複数の入力値にそれぞれ対応したサイクル値が設定保持されるウェイト用レジスタファイルと、前記値用レジスタファイルならびにウェイト用レジスタファイルに、書き込みアドレス又は読み出しアドレスを供給するアドレスポインタと、前記ウェイト用レジスタファイルに設定されたサイクル値をデクリメントするカウンタと、前記カウンタに同期して前記値用レジスタファイルから読み出された入力値を保持するレジスタと、前記カウンタの値が“0”であることを検出する検出器と、前記検出器が“0”を検出すると、通常動作時の入力に代えて前記前記レジスタに保持された入力値を選択して前記被検証ブロックに供給するマルチプレクサとを有することを特徴とする。

【0010】

【発明の実施の形態】

以下、図面を用いてこの発明の実施形態を説明する。

【0011】

図1はこの発明の一実施形態に係る半導体装置1の例えばプロセッサの構成を示す図である。図1において、プロセッサは、動作を検証しようとする被検証ブロックに入力を与える複数（n個）の内部検証ブロック $11-1, \dots, 11-n$ と、対応する内部検証ブロック $11-1, \dots, 11-n$ から入力を受けて動作検証される被検証ブロック $12-1, \dots, 12-n$ と、プロセッサにおける通常動作に用いられるメモリであり、内部検証ブロック $11-1, \dots, 11-n$ を制御する命令が格納されるメモリ13を備えて構成されている。このような構成において、検証者の意図する任意のサイクルで、内部検証ブロック $11-1, \dots, 11-n$ がプロセッサの被検証ブロック $12-1, \dots, 12-n$ の入力ピン／内部レジスタ等に任意の値を設定するようにし、検証者がプロセッサの命令によってその内部検証ブロック $11-1, \dots, 11-n$ を制御する専用の命令を用いて、プロセッサの外部入力を含めた機能をプロセッサ単体でサイクルレベルで検証するようにしている。

【0012】

図2は図1に示す内部検証ブロック $11-1, \dots, 11-n$ の一実施形態の構成を示す図である。図2において、内部検証ブロックは、制御レジスタ21、デクリメントカウンタ22、データレジスタ23、検出器24、マルチプレクサ(MUX)25ならびにANDゲート26を備えて構成され、内部検証ブロックセット命令、内部検証ブロッククリセット命令からなる内部検証ブロック命令群により制御されている。制御レジスタ21は、通常動作時の入力又は動作検証時の入力値valueを選択する情報(set)が上記内部検証ブロック命令群によりセット(1)又はリセット(0)される。デクリメントカウンタ22は、上記内部検証ブロックセット命令により動作検証時の入力値valueが被検証ブロック $12-1, \dots, 12-n$ に与えられるタイミングとなるサイクル値waitがセットされる。データレジスタ23は、内部検証ブロックセット命令により動作検証時の入力値valueがセットされる。検出器24は、アサートされていない時のみデクリメントカウンタ22の値をデクリメントし、デクリメントカウンタ22の値が0の場合に信号(“1”レベル)をANDゲート26にアサートする。マルチプレクサ25は、外部ピン等から与えられる入力、内部レジスタ又は他の被検証ブロック等から与えられる入力となる通常動作時の入力、あるいは動作検証時にデータレジスタ23に保持された入力値valueを選択し、選択した入力を被検証ブロックに与える。このような構成において、この実施形態では、パイプライン制御のプロセッサの書き込みステージに同期して作用する上記内部検証ブロック命令群によって、上記構成の内部検証ブロックを動作させるようにしている。

【0013】

上記内部検証ブロック命令群は、次の2つの命令からなる。

【0014】

内部検証ブロックセット命令 (set) : number wait value

内部検証ブロッククリセット命令 (reset) : number

内部検証ブロックセット命令は、図1のメモリ13から読み出されて実行されることで、指定したnumberの内部検証ブロック(numberは例えば図1では $11-1, \dots, 11-n$)を起動させ、通常動作時の入力に代えてwaitサイクル後に入

力値valueを被検証ブロックに与えるようにするものである。内部検証ブロックリセット命令は、図1のメモリ13から読み出されて実行されることで、内部検証ブロックnumberを通常のプロセッサモードに戻す命令である。

【0015】

このような構成において、内部検証ブロック $11-1, \dots, 11-n$ から被検証ブロック $12-1, \dots, 12-n$ に入力を与えるには、内部検証ブロックセット命令により制御レジスタ21、デクリメントカウンタ22、データレジスタ23にそれぞれset(1), wait, valueの値がセットされる。デクリメントカウンタ22は値をセットする時またはすでにカウンタが0である時を除いては常にデクリメントし、カウンタ値が0になると検出器24が“1”をANDゲート26に出力し、マルチプレクサ25が通常動作時の入力に代えてデータレジスタ23の値を選択し、選択された値が被検証ブロック $12-1, \dots, 12-n$ に与えられる。

【0016】

これにより、任意のタイミングで任意の値を被検証ブロック $12-1, \dots, 12-n$ に供給することが可能となる。したがって、外部入力を考慮したテストプログラムの記述が可能になり、システムデバッグを容易に行うことができる。また、実機で外部入力を考慮したBIST(built-in-test)プログラムを記述することが可能になる。

【0017】

図3は図1に示す内部検証ブロック $11-1, \dots, 11-n$ の他の実施形態の構成を示す図である。先の実施形態では、検証者が任意のタイミングで任意の入力値を被検証ブロック $12-1, \dots, 12-n$ に送ることが可能になるような内部検証ブロック $11-1, \dots, 11-n$ を提案しているが、そのままではある1つの値で通常動作時の1つの入力の代わりを設定できるだけで、複数の値を連続的に設定するようなケースには対応できない。そこで、この実施形態の特徴とするところは、上記ケースに対応するためにレジスタファイルならびにそれを制御するアドレスポインタを設けて内部検証ブロックを拡張したことにある。

【0018】

図3において、内部検証ブロック11-1, …, 11-nは、制御レジスタ31、ウェイト用レジスタファイル32、値(データ)用レジスタファイル33、書込アドレスポインタ34、読み出アドレスポインタ35、デクリメントカウンタ36、検出器37、データレジスタ38、マルチプレクサ(MUX)39を備えて構成され、内部検証ブロックは、内部検証ブロッククリセット命令、レジスタファイルスタック命令、内部検証ブロックトリガ命令からなる内部検証ブロック命令群により制御される。

【0019】

制御レジスタ31は、通常動作時の入力又は動作検証時の入力値valueを選択する情報が内部検証ブロック命令群によりセット(1)又はリセット(0)される。ウェイト用レジスタファイル32は、レジスタファイルスタック命令で複数のサイクル値waitが順次セットされ、検出器37がアサートされる毎に順に読み出される。値用レジスタファイル33は、レジスタファイルスタック命令で複数の入力値valueが順次セットされ、検出器37がアサートされる毎に順に読み出される。書込アドレスポインタ34は、内部検証ブロッククリセット命令によりリセットされ、レジスタファイルスタック命令によりインクリメントされ、ウェイト用レジスタファイル32にサイクル値waitが書き込まれる際の書き込みアドレスをウェイト用レジスタファイル32に指示し、又は値用レジスタファイル33に入力値valueが書き込まれる際の書き込みアドレスを値用レジスタファイル33に指示する。読み出アドレスポインタ35は、内部検証ブロッククリセット命令によりリセットされ、検出器37がアサートされる毎にインクリメントされ、ウェイト用レジスタファイル32からwaitが読み出される際の読み出しアドレスをウェイト用レジスタファイル32に指示し、又は値用レジスタファイル33から入力値valueが読み出される際の読み出しアドレスを値用レジスタファイル33に指示する。デクリメントカウンタ36は、内部検証ブロックトリガ命令又は検出器37がアサートされているときに新たな値をロードし、それ以外の時はデクリメントされる。検出器37は、デクリメントカウンタ36の値が0の場合に信号を読み出アドレスポインタ35ならびにデータレジスタ38にアサートする。データレジスタ38は、デクリメントカウンタ36に同期して新たな入力値valueが

セットされる。マルチプレクサ39は、外部ピン等から与えられる入力、内部レジスタ又は他の被検証ブロック等から与えられる通常動作時の入力、あるいは動作検証時にデータレジスタ38に保持された入力値valueを選択し、選択した内容を被検証ブロック12-1, …, 12-nに与える。

【0020】

この実施形態において使用される命令群は上述したように次の3つの命令からなる。

【0021】

内部検証ブロックリセット命令 (reset) : number

レジスタファイルスタック命令 (push) : number, wait, value

内部検証ブロックトリガ命令 (trigger) : number

内部検証ブロックリセット命令は、指定したnumberの内部検証ブロックをリセットするための命令で、制御レジスタ31、デクリメントカウンタ36、データレジスタ38、読出アドレスポインタ34ならびに書込アドレスポインタ35を初期化する。レジスタファイルスタック命令は、レジスタファイル32, 33に内部検証ブロックnumberのサイクル値wait, 入力値valueを書き込むための命令である。値を書き込むと同時に書込アドレスポインタをインクリメントする。内部検証ブロックトリガ命令は、指定したnumberの内部検証ブロックを起動させるためのものであり、この命令の実行により制御レジスタ31に動作検証時の入力値valueを選択するための信号(1)がセットされる。また、内部検証ブロックトリガ命令の書き込みステージに同期して、指定したnumberの内部検証ブロックのデクリメントカウンタ36がカウントダウンをはじめる。その後、カウント値が0になる毎に新たに次の値をロードするとともに、読出アドレスポインタ35をインクリメントする。

【0022】

このような命令を用いて、例えばnumber=1の被検証ブロック12-1に、内部検証ブロックトリガ命令が実行された後20サイクル目から入力値value=48を連続して与え、続いてその後14サイクル目（内部検証ブロックトリガ命令が実行された後34サイクル目）に入力値value=6を連続して与え、さらに続

いて12サイクル目（内部検証ブロックトリガ命令が実行された後46サイクル目）に入力値`value = 15`を内部検証ブロックリセット命令が実行されるまで連続して与える、といった動作を行う命令列の一例を図4に示し、そのタイミングチャートを図5に示す。

【0023】

図4ならびに図5において、通常動作時の入力がMUX39により選択されて被検証ブロック12-1に与えられ被検証ブロック12-1が通常の動作状態において、内部検証ブロックリセット命令(`reset`)が実行されると、`number=1`の内部検証ブロック11-1がリセットされる。続いて、レジスタファイルスタック命令(`push 1, 20, 48`)が実行され、書込アドレスポインタ34から与えられるアドレスに基づいてサイクル値`wait=20`がウェイト用レジスタファイル32にセットされるとともに、書込アドレスポインタ34から与えられるアドレスに基づいてサイクル値`wait=20`に対応した入力値`value = 48`が値用レジスタファイル33にセットされる。続いて、レジスタファイルスタック命令(`push 1, 14, 6`)が実行され、書込アドレスポインタ34から与えられるアドレスに基づいてサイクル値`wait=14`がウェイト用レジスタファイル32にセットされるとともに、書込アドレスポインタ34から与えられるアドレスに基づいてサイクル値`wait=14`に対応した入力値`value = 6`が値用レジスタファイル33にセットされる。さらに続いて、レジスタファイルスタック命令(`push 1, 12, 15`)が実行され、書込アドレスポインタ34から与えられるアドレスに基づいてサイクル値`wait=12`がウェイト用レジスタファイル32にセットされるとともに、書込アドレスポインタ34から与えられるアドレスに基づいてサイクル値`wait=12`に対応した入力値`value = 15`が値用レジスタファイル33にセットされる。

【0024】

このような状態において、内部検証ブロックトリガ命令(`trigger`)が実行されて`number=1`の内部検証ブロック11-1が起動されて制御レジスタ31に信号(1)がセットされると、ウェイト用レジスタファイル32からサイクル値`wait=20`がデクリメントカウンタ36に読み出されてデクリメントされる。デ

クリメントカウンタ36のカウント値が“0”になると、これが検出器37で検出され、検出器37から読み出アドレスポインタ35に読み出しアドレスの出力指示が与えられ、この指示に基づいて読み出アドレスポインタ35は読み出しアドレスを値用レジスタファイル33に与え、この読み出しアドレスに基づいてサイクル値wait=20に対応した入力値value=48が値用レジスタファイル33からレジスタ38に読み出されてセットされる。レジスタ38にセットされた入力値value=48は、MUX39により選択されて被検証ブロック12-1に与えられる。

【0025】

一方、値用レジスタファイル33から入力値value=48が読み出されると同時に、読み出アドレスポインタ35から与えられるアドレスに基づいてウェイト用レジスタファイル32からサイクル値wait=14がデクリメントカウンタ36に読み出されてデクリメントされる。デクリメントカウンタ36のカウント値が“0”になると、これが検出器37で検出され、検出器37から読み出アドレスポインタ35に読み出しアドレスの出力指示が与えられ、この指示に基づいて読み出アドレスポインタ35は読み出しアドレスを値用レジスタファイル33に与え、この読み出しアドレスに基づいてサイクル値wait=14に対応した入力値value=6が値用レジスタファイル33からレジスタ38に読み出されてセットされる。レジスタ38にセットされた入力値value=6は、MUX39により選択され、それまで被検証ブロック12-1に与えられていた入力値value=48に代わって被検証ブロック12-1に与えられる。

【0026】

一方、値用レジスタファイル33から入力値value=6が読み出されると同時に、読み出アドレスポインタ35から与えられるアドレスに基づいてウェイト用レジスタファイル32からサイクル値wait=12がデクリメントカウンタ36に読み出されてデクリメントされる。デクリメントカウンタ36のカウント値が“0”になると、これが検出器37で検出され、検出器37から読み出アドレスポインタ35に読み出しアドレスの出力指示が与えられ、この指示に基づいて読み出アドレスポインタ35は読み出しアドレスを値用レジスタファイル33に与え、この

読み出しアドレスに基づいてサイクル値wait=12に対応した入力値value=15が値用レジスタファイル33からレジスタ38に読み出されてセットされる。レジスタ38にセットされた入力値value=15は、MUX39により選択され、それまで被検証ブロック12-1に与えられていた入力値value=6に代わって被検証ブロック12-1に与えられる。この入力値value=6は、検証を終了する内部検証ブロッククリセット命令(reset)が実行されるまで被検証ブロック12-1に与えられ、内部検証ブロッククリセット命令(reset)が実行されると内部検証ブロック11-1はリセットされ、値用レジスタファイル33に格納された動作検証用の入力値valueに代わって通常動作時の入力がMUX39により選択されて被検証ブロック12-1に与えられる。

【0027】

このような命令が実行されることにより、通常動作時の入力に代えて動作検証時に与えられる複数の入力値valueが値用レジスタファイル33にセットされ、それぞれの入力値valueに対応したサイクル値waitが経過する毎に、値用レジスタファイル33にセットされた入力値valueが順次被検証ブロック12-1に供給されて、被検証ブロック12-1の動作検証が行われる。

【0028】

したがって、このような実施形態においては、先の実施形態と同様の効果を得ることができるとともに、複数の入力を連続的に供給することが可能となる。

【0029】

【発明の効果】

以上説明したように、この発明によれば、任意の入力値を任意のタイミングで被検証ブロックに供給して被検証ブロックの動作検証を実施することが可能となる。これにより、外部入力を考慮したテストプログラムの記述が可能になり、システムデバッグを容易に行うことができる。また、実機で外部入力を考慮したBIST(built-in-test)プログラムを記述することが可能になる。

【図面の簡単な説明】

【図1】

この発明の一実施形態に係る半導体装置の構成を示す図である。

【図2】

図1に示す内部検証ブロックの一構成を示す図である。

【図3】

図1に示す内部検証ブロックの他の構成を示す図である。

【図4】

図3に示す構成で使用される命令列の一例を示す図である。

【図5】

図4に示す命令のタイミングチャートを示す図である。

【符号の説明】

1 1 - 1, …, 1 1 - n 内部検証ブロック

1 2 - 1, …, 1 2 - n 被検証ブロック

1 3 メモリ

2 1, 2 3, 3 1, 3 8 レジスタ

2 2, 3 6 カウンタ

2 4, 3 7 検出器

2 5, 3 9 マルチプレクサ

2 6 ANDゲート

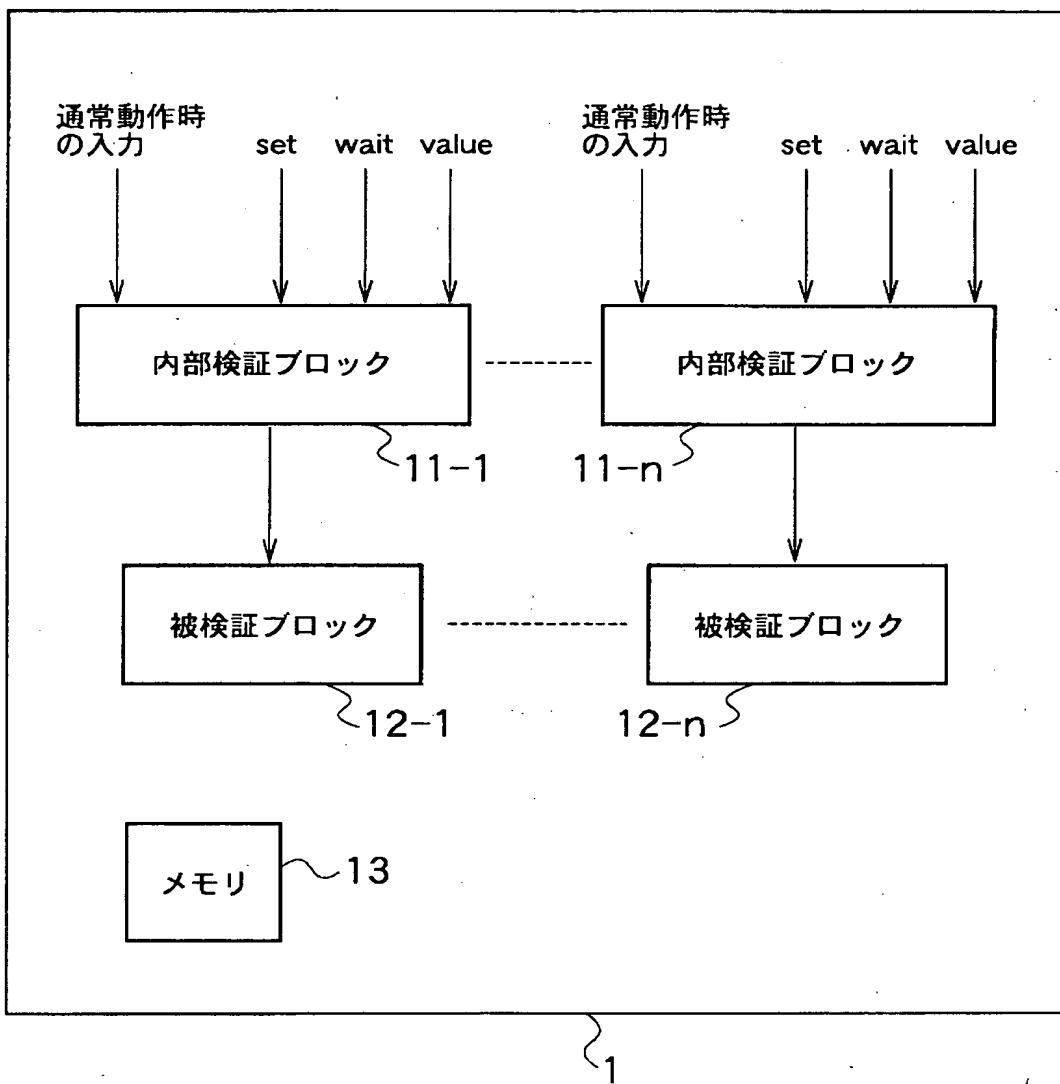
3 2 ウエイト用レジスタファイル

3 3 値用レジスタファイル

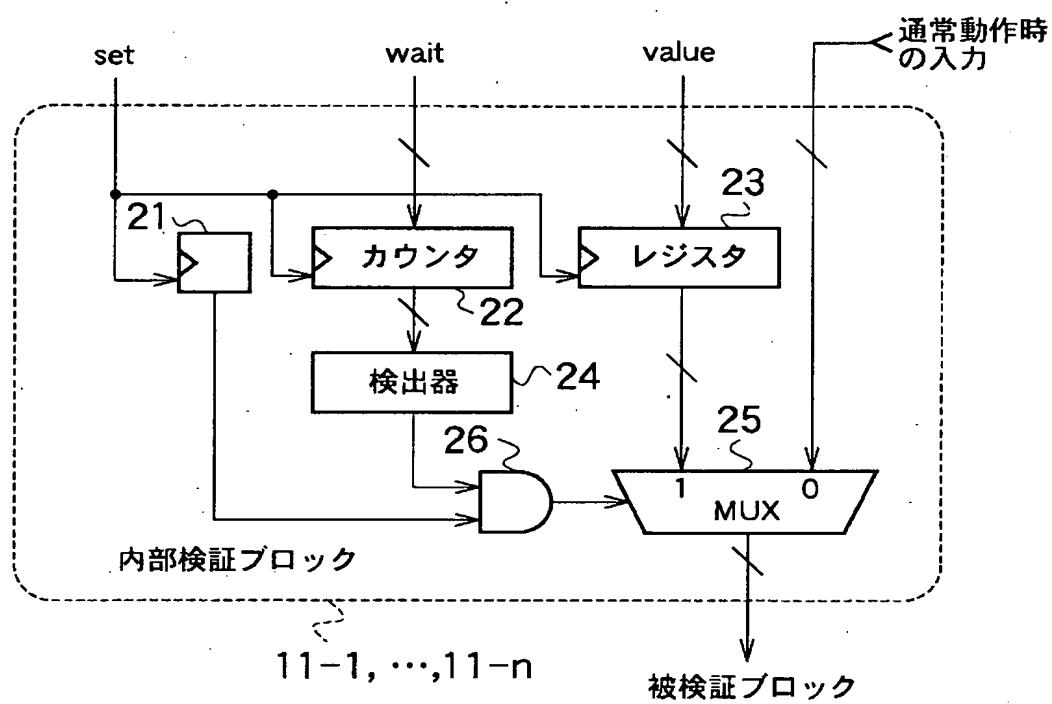
3 4 書込アドレスポインタ

3 5 読出アドレスポインタ

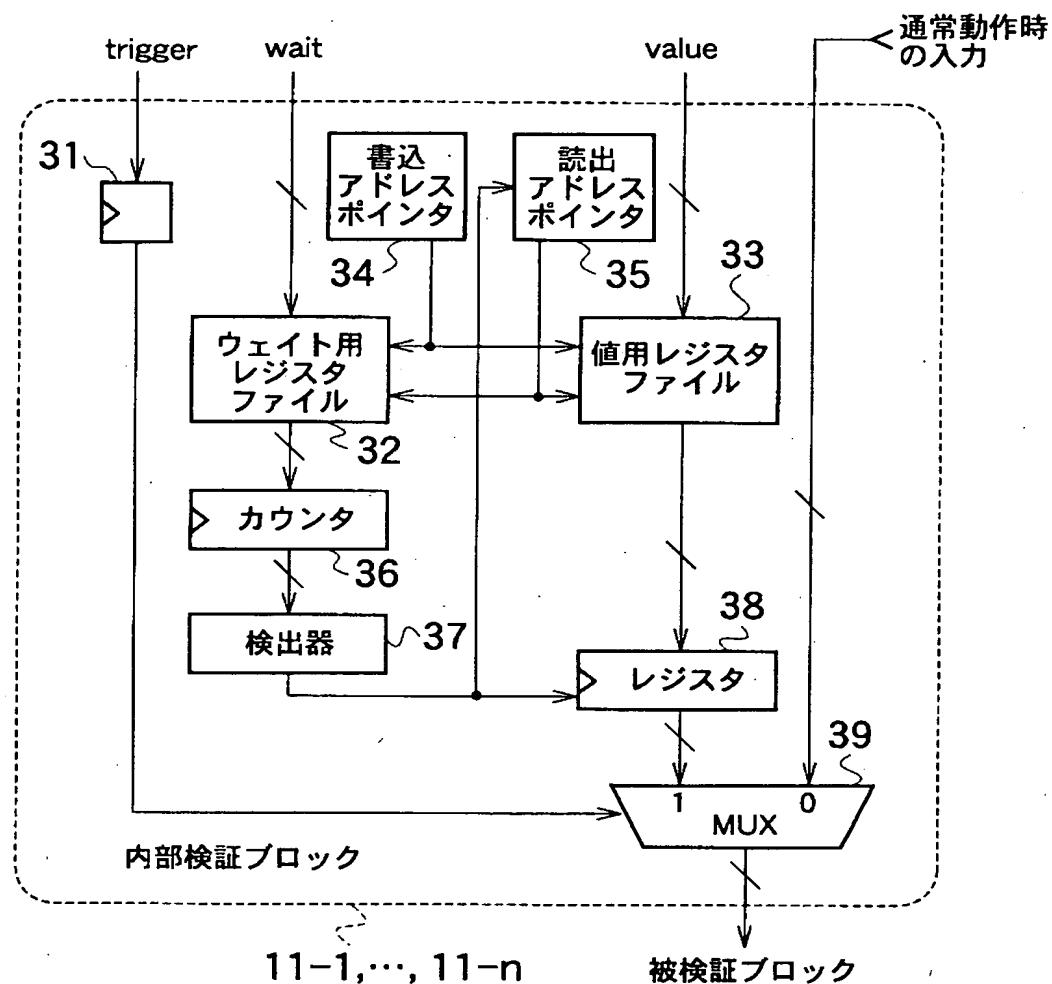
【書類名】 図面
【図1】



【図2】



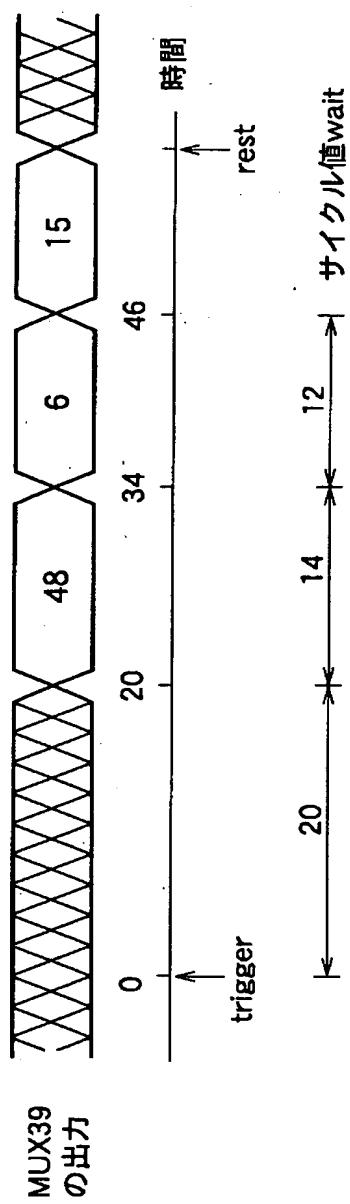
【図3】



【図4】

命令	number	wait	value
reset	1		
push	1,	20,	48
push	1,	14,	6
push	1,	12,	15
...			
trigger	1		
...			
reset	1		

【図5】



【書類名】 要約書

【要約】

【課題】 この発明は、通常動作時の外部又は内部入力に代えて、任意のタイミングで任意の入力を供給して動作検証を行うことを課題とする。

【解決手段】 この発明は、内部検証ブロック $11-1, \dots, 11-n$ により任意の入力値を任意のタイミングで被検証ブロック $12-1, \dots, 12-n$ に供給して、被検証ブロック $12-1, \dots, 12-n$ の動作検証を実施するように構成される。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月 22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地

氏 名 株式会社東芝

2. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝